



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064554
Application Number PATENT-2002-0064554

출원년월일 : 2002년 10월 22일
Date of Application OCT 22, 2002

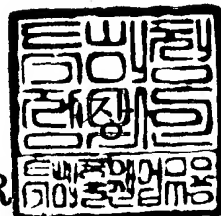
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.22
【발명의 명칭】	챔버의 클리닝 방법 및 반도체 소자 제조 방법
【발명의 영문명칭】	METHOD OF CLEANING A PROCESSING CHAMBER AND METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김정욱
【성명의 영문표기】	KIM, Jung Wook
【주민등록번호】	730317-1108628
【우편번호】	447-010
【주소】	경기도 오산시 오산동 496-3 정우빌라 가동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이현덕
【성명의 영문표기】	LEE, Hyeon Deok
【주민등록번호】	610307-1024611
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104-603
【국적】	KR
【발명자】	
【성명의 국문표기】	홍진기
【성명의 영문표기】	HONG, Jin Gi
【주민등록번호】	640227-1351614
【우편번호】	442-706

【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 204동 103호
【국적】 KR
【발명자】
【성명의 국문표기】 박지순
【성명의 영문표기】 PARK, Ji Soon
【주민등록번호】 680419-1466912
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 청명마을 건영1차아파트 426-703
【국적】 KR
【발명자】
【성명의 국문표기】 이응준
【성명의 영문표기】 LEE, Eung Joon
【주민등록번호】 700402-1030639
【우편번호】 442-809
【주소】 경기도 수원시 팔달구 영통동 955-1 황골마을 주공1단지 122동 2002 호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	20 면	20,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	16 항	621,000 원
【합계】		670,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판 및 처리 챔버에 존재하는 불순물을 제거하기 위한 챔버의 클리닝 방법 및 이 클리닝 방법을 이용한 반도체 소자 제조 방법이 개시된다. 본 챔버의 클리닝 방법은 수소(H_2)를 포함하는 제1 혼합가스의 플라즈마를 이용하여 반도체 기판 상의 불순물을 에칭한 후, 반도체 기판이 제거된 상태에서 수소를 포함하지 않는 비수소계 제2 혼합가스의 플라즈마를 이용하여 처리 챔버를 에칭하는 것을 특징으로 한다. 수소가 기판 및 불순물과 각각 다른 화학반응을 하여 클리닝 공정시 에칭 선택비를 향상시킬 수 있으며, 제2 혼합가스의 플라즈마를 이용하여 수소 반응에 의한 파티클의 생성을 억제할 수 있다.

【대표도】

도 7

【명세서】

【발명의 명칭】

챔버의 클리닝 방법 및 반도체 소자 제조 방법(METHOD OF CLEANING A PROCESSING CHAMBER AND METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE)

【도면의 간단한 설명】

도 1은 종래의 콘택 홀을 포함하는 반도체 소자의 부분 확대 단면도이다.

도 2는 종래의 텅스텐 플러그를 형성하는 과정을 설명하기 위한 단면도이다.

도 3은 종래의 텅스텐 플러그를 형성하는 과정을 설명하기 위한 단면도이다.

도 4는 종래의 챔버의 클리닝 방법을 문제점을 설명하기 위한 부분 확대 단면도이다.

도 5는 본 발명에 따른 챔버의 클리닝 방법을 설명하기 위한 단면도이다.

도 6은 본 발명에 따른 챔버의 클리닝 방법을 설명하기 위한 단면도이다.

도 7은 본 발명에 따른 클리닝 장치를 도시한 단면도이다.

도 8은 본 발명에 따른 클리닝 방법을 설명하기 위한 흐름도이다.

도 9는 본 발명에 따른 처리 챔버에서 제2 고주파 에칭을 설명하기 위한 부분 확대 단면도이다.

도 10은 본 발명에 따른 예비 클리닝을 설명하기 위한 단면도이다.

도 11은 본 발명에 따른 예비 클리닝을 설명하기 위한 단면도이다.

도 12a는 본 발명에 따른 챔버의 클리닝 방법에 의한 웨이퍼 매수에 따른 파티클 증가량(P/C adders)을 나타낸 그래프이다.

도 12b는 종래의 챔버의 클리닝 방법에 의한 웨이퍼 매수에 따른 파티클 증가량을 나타낸 그래프이다.

도 12c는 종래의 챔버의 클리닝 방법에 의한 웨이퍼 매수에 따른 파티클 증가량을 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 기판 20 : 소스/드레인 영역

22 : 금속 실리사이드 층 30 : 층간 절연막

34 : 산화막 120 : 전극 영역

122 : 금속 실리사이드 층 130 : 층간 절연막

132 : 콘택 홀 134 : 산화막

200 : 예비 클리닝 장치 205 : 하우징

210 : 처리 챔버 220 : ICP 장치

230 : 바이어스 장치 240 : 펌프

250, 252 : 유량 제어기 270 : 석영 벨자(quartz belljar)

275 : 석영 마스크(quartz mask)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<26> 본 발명은 반도체 소자 제조 공정 중 챔버의 클리닝 방법에 관한 것으로서, 보다 자세하게는 화학 기상 증착(Chemical Vapor Deposition: CVD) 공정 전 반도체

기판 상의 불순물 및 클리닝 챔버 내의 불순물을 제거하기 위한 챔버의 클리닝 방법에 관한 것이다.

<27> 반도체 장치가 고집적화됨에 따라 소자의 디자인-룰(design rule), 예를 들면, 트랜지스터의 채널 길이, 액티브 간격, 배선 넓이(width), 배선 간격 또는 콘택 크기 등이 축소(scale-down)되고 있다. 그 결과, 반도체 기판 상에 형성되는 콘택 홀(contact hole)의 종횡비(aspect ratio)도 점차 증가하고 있다. 콘택 홀의 종횡비라 함은 홀의 직경에 대한 홀의 깊이의 비율을 의미한다.

<28> 이와 같은 추세에 있어서, 스퍼터링(sputtering) 공정에 의해 증착된 알루미늄(Al)으로 구성된 종래의 전형적인 배선(wiring) 및 상호 연결막은 몇 가지 단점을 갖는다. 예를 들면, 이러한 고집적화에 의해 배선 또는 상호 연결막의 접촉 저항(contact resistance)은 증가하고, 증착되는 막의 단차 도포성(step coverage)은 감소된다. 이에 따라, 배선 및 연결막이 콘택 홀의 윈도우(window)에서 단선될 가능성도 높아진다. 또한, 알루미늄 막은 작동 중 일렉트로마이그레이션(electromigration) 현상에 기인하여 단선될 수 있기 때문에 낮은 신뢰성을 갖는다.

<29> 이러한 문제점을 해결하기 위해 상부 도전층과 하부 도전층을 전기적으로 상호 접속시키기 위한 다양한 금속 재질의 금속 플러그(metal plug)가 제시되어 왔다. 이 경우, 상부 및 하부 도전층의 사이에 개재된 층간 절연막(Inter Layer Dielectrics; ILD)에 콘택 홀이 형성되고, 이러한 콘택 홀에 금속 플러그가 매립되어 상부 및 하부 도전층을 전기적으로 연결한다.

- <30> 일반적으로, 금속 플러그 중 텅스텐(W)으로 이루어진 플러그는 양호한 단차 피복성을 가지며, 플라즈마 증대 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법에 의해 형성된다.
- <31> 도 1은 종래의 콘택 홀을 포함하는 반도체 소자를 부분적으로 확대한 단면도를 도시한 것으로서, 콘택 홀을 형성한 후 콘택 홀에 금속 플러그를 증착한 반도체 소자 제조 공정의 일 과정을 도시한 것이다. 도 1을 참조하면, 반도체 기판(10)을 액티브 영역 및 필드 영역(15)으로 정의한 다음, 기판(10) 상에 층간 절연막(30)을 적층한다.
- <32> 층간 절연막(30)과 반도체 기판(10) 사이에는 이미 설계된 패턴에 따라 소스/드레인 영역(20)이 형성되어 있으며, 이 소스/드레인 영역(20)은 반도체 기판(10)에 금속이온 주입(ion implantation) 등의 방법으로 주입되어 형성된다.
- <33> 소스/드레인 영역(20) 및 금속 플러그(50) 간의 전기 전도성을 향상시키기 위해 반도체 기판(10) 상에 금속 실리사이드(metal silicide) 층(22)이 형성된다. 금속 실리사이드 층(22)에 대응하여 층간 절연막(30)에는 콘택 홀이 식각 공정을 통해 형성된다. 상기 콘택 홀을 포함한 층간 절연막(30) 상에는 티타늄(Ti) 및 질화 티타늄(TiN)이 증착된다. 상기, 티타늄 및 질화 티타늄 막은 베리어(barrier)로서 기능하며, 그 상부에 텅스텐(W)이 증착되어 플러그를 형성한다. 티타늄(Ti) 막은 화학 기상 증착 또는 스퍼터링 공정에 의해서 콘택 홀 및 층간 절연막(30) 상에 형성된다.
- <34> 티타늄(Ti)막 상에는 질화티타늄(TiN) 막이 화학 기상 증착 또는 스퍼터링 공정에 의해서 형성되며, 티타늄(Ti)막과 마찬가지로 질화 티타늄(TiN) 막은 금속 베리어(metal barrier)로서 기능한다.

<35> 또한, 플러그(50)와 소오스/드레인 영역(20) 사이의 접촉 저항을 낮추기 위하여 소오스/드레인 영역(20) 상에는 금속 실리사이드 층(22)이 형성된다. 즉, 금속 실리사이드 층(22)은 소오스/드레인 영역(20)과 상부에 형성되는 금속 플러그(50)의 사이의 저항을 낮추는 오믹 층(ohmic layer)의 역할을 수행한다. 또한, 금속 실리사이드 층(22)은 금속 층과 반도체 기판 사이나 다중 금속 시스템에서 두 개의 금속층들 사이에서 두 물질들이 서로 확산되는 것을 방지하기 위한 확산 장벽 층(diffusion barrier layer)으로서의 역할도 수행한다.

<36> 일반적으로 금속 실리사이드 층(22)은 티타늄 실리사이드(TiSi_2)나 백금 실리사이드(PtSi_2), 납 실리사이드(PdSi_2), 코발트 실리사이드(CoSi_2) 또는 니켈 실리사이드(NiSi_2)와 같은 금속 실리사이드로 형성된다. 특히, 코발트 실리사이드(CoSi_2)는 약 900℃ 정도의 고온에서도 안정하기 때문에, 이와 같은 코발트 실리사이드 상에 평탄화를 위한 도핑된 유리질막을 증착하는 공정이 가능하다. 또한, 약 $16\sim 18 \times 10^{-6} \Omega \cdot \text{cm}$ 정도의 낮은 저항(ρ)을 가지기 때문에, 반도체 기판에 대하여 가로 방향으로 실리사이드 형성이 일어나지 않아 드레인-소스와 게이트 전극이 서로 단락될 염려가 적다는 장점을 가진다. 더욱이, 코발트 실리사이드는 선택적 식각이 가능하고, 티타늄 실리사이드(TiSi_2)에 비하여 플라즈마 식각시 과도하게 식각되지 않는다는 장점을 갖는다.

<37> 그러나, 티타늄 실리사이드(TiSi_2)와는 달리 코발트 실리사이드는 그 상부에 산화막이 형성되어 실리사이드 자체의 생성을 방해하거나 다른 금속과의 전기적 접촉을 불량하게 하기 쉽다. 따라서, 코발트 실리사이드 층을 형성하는 경우 표면을 세척하여 청결하게 유지하는 것이 중요하다.

- <38> 도 2 및 도 3은 종래의 텅스텐 플러그를 형성하는 과정을 설명하기 위한 단면도들이다.
- <39> 도 2를 참조하면, 반도체 기판(10) 상에 포토 레지스트나 산화물로 이루어진 보호막(24)을 형성한 후, 요구되는 형상에 따라 보호막(24)을 식각하여 소오스/드레인 영역과 같은 반도체 기판(10)의 미리 디자인된 영역을 노출시킨다. 노출된 영역에 금속으로 구성된 불순물을 주입하여 소오스/드레인 영역(20)을 형성한다. 이어서, 금속 실리사이드 층을 형성하기 위한 금속으로 화학 기상 증착 또는 이온주입 공정으로 소오스/드레인 영역(20)의 상면을 덮고, 금속과 실리콘이 고온의 환경에서 서로 반응하게 하여 소오스/드레인 영역(20) 상에 금속 실리사이드 층(22)을 형성한다. 바람직하게는, 금속 실리사이드 층(22)을 형성하기 위해 티타늄(Ti) 또는 코발트(Co)가 사용되며, 이들이 반도체 기판(10)과 반응하여 티타늄 실리사이드($TiSi_2$) 또는 코발트 실리사이드($CoSi_2$) 층을 형성한다.
- <40> 도 3을 참조하면, 보호막(24)을 제거한 다음, 금속 실리사이드 층(22)이 형성된 반도체 기판(10) 상에 층간 절연막(30)을 적층한다. 포토 레지스트를 이용한 사진 식각(photo lithography) 공정에 의해 층간 절연막(30)에 콘택 홀(32)의 위치를 패터닝한 후, 식각을 통해 소오스/드레인 영역(20)을 노출시켜 콘택 홀(32)을 형성한다. 이 경우, 콘택 홀(32)의 형성을 위한 식각 공정 후, 콘택 홀(32)의 저면에 위치한 금속 실리사이드 층(20)의 표면에 산화막(34)이 형성될 수 있으며, 식각의 잔류물을 포함하는 불순물이 잔존할 수 있다. 반도체 기판(10)은 반도체 제조를 위한 여러 공정을 거쳐야 하며, 처리 챔버를 이동해야 하는 경우 대기와 접촉하게 된다. 이때, 산화막(34)은 반도체 기판(10)의 표면이 대기와 접하면서 산소와 반응하여 생성되며, 소량의 산화막(34)이라도 소오스

/드레인 영역(20) 및 금속 플러그(50) 사이에 개재되어 전기적 접촉을 불량하게 할 수 있다.

<41> 따라서, 콘택 홀(32)에 플러그(50)를 형성하기 위해서는 플러그를 구성하는 여러 막들(40, 45)을 증착하기 전에 콘택 홀(32) 내에 남아있는 산화막(34) 및 기타 불순물은 제거되어야 하며, 이와 같은 산화막(34) 및 불순물을 제거하는 공정을 예비 클리닝(pre-cleaning)이라 한다.

<42> 종래의 화학 기상 증착 공정에 있어서, 화학 기상 증착에 의해 티타늄(Ti) 및 질화티타늄(TiN) 막을 증착하기 전에 산화막이나 불순물을 제거하기 위한 예비 클리닝(pre-cleaning) 방법들이 이미 제시되어 있다. 실제로, 티타늄(Ti)/질화티타늄(TiN)막을 화학 기상 증착 공정으로 증착하는 설비인 Unity-EP(일본의 Tokyo Electron사) 장비에서, 예비 클리닝을 진행한 후 티타늄(Ti)/질화티타늄(TiN)을 증착한다. 금속 실리사이드 층이 코발트 실리사이드(CoSi_2)로 이루어진 경우에는 별도의 설비에서 고주파(RF) 플라즈마 에칭 공정을 엑스-시튜(ex-situ)로 진행하여 예비 클리닝을 수행하고, 예비 클리닝을 거친 반도체 기판이 화학 기상 증착(CVD)을 위한 처리 챔버에 도입되는 것이 일반적이다.

<43> 한편, 상기 Unity-EP 장비는 처리 모듈을 장착하여 기능을 부가할 수 있으며, 고주파(RF) 에칭 챔버인 예비 클리닝 에칭 모듈(Pre-Cleaning Etching Module: PCEM)을 장착하여 인-시튜(in-situ)로 예비 클리닝을 수행할 수 있다. 이와 같이 인-시튜로 공정을 진행할 때, 이송에 따른 공정 시간을 단축할 수 있으며 그에 따라 수율(throughput)도 향상시킬 수 있다.

<44> 종래의 챔버의 클리닝 방법은 일반적으로 처리 챔버 내에서 아르곤(Ar)을 이용한 플라즈마 에칭을 수행하는 것을 특징으로 한다. 그러나, 이와 같이 아르곤(Ar)을 이용한 드라이 에칭으로 예비 클리닝을 하는 방법은 다음과 같은 문제점을 갖는다.

<45> 도 4는 종래의 챔버의 클리닝 방법을 문제점을 설명하기 위하여 소오스/드레인 영역의 상면을 부분적으로 확대한 단면도를 도시한 것으로서, 아르곤을 이용한 고주파(RF) 플라즈마 에칭을 과도하게 수행하여 금속 실리사이드 층(22)이 손상된 예가 도시되어 있다. 즉, 금속 실리사이드 층(22) 상에 형성된 산화막(oxide) 또는 불순물을 제거하기 위해 고주파(RF) 플라즈마 에칭을 수행하는 경우에는 금속 실리사이드 층 역시 같이 식각될 수 있다는 문제점을 있다.

<46> 또한, 에칭 공정을 조절하여 금속 실리사이드 층이 식각되지 않도록 제어하는 작업 자체가 매우 어려우며, 시간 조절에 의한 식각량 조절은 비효율적일 뿐만 아니라 대량 생산에 불리하고, 이를 수행하기 위한 비용은 상당하여 제조 원가 상승의 요인이 된다. 실제로 코발트 실리사이드 층 상에 형성된 산화막이나 불순물을 제거하기 위해 산화막 또는 불순물층의 두께와 거의 동일한 두께의 코발트 실리사이드 층이 식각되기 때문에, 결과적으로는 반도체 소자의 불량률의 원인이 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<47> 따라서, 본 발명의 목적은 금속 실리사이드 층과 산화막 간의 에칭 선택비를 향상시켜 금속 실리사이드 층의 손상을 최소화할 수 있는 챔버의 클리닝 방법을 제공하는 것이다.

<48> 본 발명의 다른 목적은 처리 챔버 내의 파티클 생성을 억제할 수 있는 챔버의 클리닝 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<49> 상술한 본 발명의 목적들을 달성하기 위하여 본 발명의 바람직한 실시예에 따르면, 처리 챔버 내에서 수소(H_2)를 포함하는 제1 혼합가스의 플라즈마를 이용하여 반도체 기판 상의 불순물을 에칭하는 단계, 처리 챔버로부터 반도체 기판을 제거하는 단계 및 처리 챔버를 비수소계 제2 혼합가스의 플라즈마를 이용하여 에칭하는 단계를 포함하는 챔버의 클리닝 방법이 제공된다. 여기서, 비수소계 혼합가스라 함은 수소 성분을 포함하지 않는 혼합가스를 의미한다.

<50> 상기 제1 혼합가스는 아르곤(Ar) 및 수소(H_2)를 포함하는 것이 바람직하다. 제1 혼합가스에 수소를 포함하여 플라즈마 에칭을 하는 경우, 금속 실리사이드 층 및 산화막(oxide) 사이의 에칭 선택비를 현저하게 향상시킬 수 있으며 클리닝 공정을 용이하게 조절할 수 있다.

<51> 다만, 플라즈마 에칭 과정에서 수소(H_2)를 사용하는 경우 수소 분자는 플라즈마에 의해서 라디칼(radical)로 변환되며, 변환된 라디칼은 주위의 반응 입자와 용이하게 결합하여 새로운 형태의 결합물을 형성하게 된다. 이러한 결합물은 이후의 다른 반도체 기판을 처리하는 동안 영향을 미치며, 이러한 수소 결합물은 반도체 기판 상에 떨어지는 파티클의 주요 원인이 된다. 다시 말하면, 활성화된 수소 라디칼은 코발트(Co), 실리콘(Si), 실리콘 옥사이드(SiO_2)와 반응하는 것 외에도 처리 공간의 상부를 덮는 석영 벨자(Quartz belljar) 및 반도체 기판이 위치하는 석영 마스크(Quartz mask)에 포함된 실리콘 옥사이드 성분과 반응하여 다른 결합물 형태로 처리 챔버 내에 잔존할 수 있으며, 이

러한 결합물은 다른 기판을 처리하는 동안 기판 상에 떨어지거나 부착되어 파티클 생성의 원인이 된다.

<52> 플라즈마에 의해서 활성화된 수소 라디칼은 챔버 내부에 존재하는 실리콘 옥사이드 성분과 충돌하여 실리콘 옥사이드 내에 함유된 상태로 잔존할 수 있으며, 이렇게 수소를 포함하는 실리콘 옥사이드 성분은 이후 다른 반도체 기판의 클리닝 공정에서 파티클의 원인으로 작용하게 된다.

<53> 따라서, 본 발명은 제1 혼합가스에 의한 제1 고주파(RF) 플라즈마 에칭을 수행한 후, 기판을 처리 챔버에서 제거한 상태에서 수소 성분을 포함하지 않는 제2 혼합가스를 이용한 제2 고주파 에칭 공정을 수행하여 처리 챔버 내에 잔존하는 수소 성분을 제거하는 것을 특징으로 한다. 제2 혼합가스는 수소 성분을 포함하지 않으며, 바람직하게는 제2 혼합가스는 아르곤(Ar)으로 구성된다.

<54> 이하, 본 발명을 설명하기 위해서 챔버 내에서의 수소(H_2)의 반응 매커니즘을 설명한다.

<55> 수소(H_2)의 반응 메커니즘

<56> 일반적으로 화학 기상 증착(CVD)에 의한 티타늄(Ti) 및 질화티타늄(TiN) 증착 공정을 수행하기 전에 CVD 장비(Unity-EP made by Tokyo Electron)에 PCEM(Pre-Cleaning Etching Module)을 장착하여 인-시튜로 예비 클리닝 공정을 수행하였다. 인-시튜로 예비 클리닝 공정을 수행하는 경우에는 작업 효율(throughput)을 향상시킬 수 있을 뿐만 아니라, 아르곤(Ar) 및 수소(H_2)를 함께 사용함으로써 기판과 불필요한 산화막(oxide) 사이에 우수한 에칭 선택비로서 공정을 수행할 수 있었다.

- <57> 전술한 PCEM 공정은 고밀도 플라즈마(High Density Plasma)인 ICP(Induced Coupled Plasma)방식을 이용하여 고주파(RF) 에칭을 진행하였다.
- <58> 대체로 아르곤 및 수소로 구성된 혼합가스가 처리 챔버 내로 주입되면 상부에 ICP 전원인 인가되면서 플라즈마가 활성화된 상태로 전환되고 웨이퍼(wafer)가 놓인 스테이지에 바이어스 전원이 인가되어 RF 에칭이 진행된다.
- <59> 아르곤과 함께 유입된 수소(H_2)는 약 $500^{\circ}C$ 의 고온에서 산화물(oxide)과 화학반응(chemical reaction)을 H_2O 형태로 산화층을 웨이퍼로부터 제거한다. 한편, 수소는 금속 실리사이드 형태로 웨이퍼에 존재하는 코발트(Co)와 반응하여 수소화 코발트(CoH_x)의 형태로 웨이퍼에 침적된다.
- <60> 상술한 처리 챔버 내에서 수소(H_2)와 반응하는 산화물(oxide) 및 코발트 실리사이드의 화학반응은 다음의 반응식에 따라 진행된다.
- <61> 【반응식 1】
- I. $Si + 4H^+ \rightarrow SiH_4 \uparrow$
- <62> II. $SiO_2 + 8H_2^+ \rightarrow SiH_4 \uparrow + 2H_2O \uparrow$
- <63> III. $Co + xH \rightarrow CoH_x \downarrow$
- <64> 위와 같은 반응식에 의해서 산화층은 수소와의 화합물(SiH_4) 또는 H_2O 의 형태로 제거되는 반면, 코발트 실리사이드($CoSi_2$)로 구성된 금속 실리사이드는 침적되어 식각에 의해 제거되지 않는다.

- <65> 이러한 반응으로 인해 화학반응에 의한 불필요한 산화층과 필요한 금속실리사이드 간의 선택비가 높게 나타난다. 실제로 혼합가스에 수소(H_2)가 포함된 경우 약 10배 이상의 선택비의 증가가 있었다.
- <66> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 본 발명을 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- <67> 도 5 및 도 6은 본 발명에 따른 챔버의 클리닝 방법을 설명하기 위한 단면도들로서, 클리닝의 대상이 되는 산화막의 형성 과정을 설명하기 위한 것이다. 도 5 및 도 6에 있어서, 도 1 내지 도 3에서 구성 및 기능이 실질적으로 동일한 부재들에 대해서는 동일한 참조 번호를 사용한다.
- <68> 도 5를 참조하면, 반도체 기판(10) 상에 보호막(124)을 형성하고 반도체 기판(10)에 소오스/드레인 영역을 형성하기 위하여, 보호막(124)을 패터닝한다. 이어서, 노출된 반도체 기판(10)에 이온 주입(implantation) 공정으로 불순물을 주입하여 소오스/드레인 영역(120)을 형성한다.
- <69> 계속하여, 소오스/드레인 영역(120)의 표면에 화학 기상 증착 공정 또는 이온 주입 공정을 이용하여 의해 금속 실리사이드 층(122)을 형성한다. 이러한 과정은 실질적으로 고온에서 이루어지기 때문에 반도체 기판(10)의 실리콘 성분과 금속이 반응하게 되어 소오스/드레인 영역(120)의 표면에 금속 실리사이드 층(122)이 형성된다. 본 실시예에서는 접촉 저항을 최소화 할 수 있는 코발트(Co)를 이용하여 소오스/드레인 영역(120)에 코발트 실리사이드($CoSi_2$) 층을 형성하는 경우를 설명하지만, 따르면 코발트 이외의 금속을 사용하여 소오스/드레인(120) 영역 표면에 금속 실리사이드 층(122)을 형성하는 경우도 본 발명 적용범위에 포함된다.

- <70> 금속 실리사이드 층(122)이 형성된 반도체 기판(10) 상에 층간 절연막(130)을 적층한 후, 사진 식각 공정에 의해 층간 절연막(130)을 부분적으로 식각하여 소오스/드레인 영역(120)을 노출시키는 콘택 홀(132)을 형성한다. 콘택 홀(132)을 형성한 다음, 콘택 홀(132) 형성을 위한 포토 레지스트 패턴을 제거한다.
- <71> 콘택 홀(132)을 형성한 후 반도체 기판(10)을 이송하는 과정에서 반도체 기판(10)은 공기 중의 산소와 접촉하게 되고, 도 6에 도시된 바와 같이, 콘택 홀(132)의 저면의 소오스/드레인 영역(120)의 표면에는 산화막(134)이 형성된다. 또한, 콘택 홀(132)의 형성을 위한 사진 식각 공정을 진행하는 동안 소오스/드레인 영역(120)의 표면과 콘택 홀(132) 내부에는 산화막(134) 이외에도 식각의 부산물과 같은 불순물이 존재할 수도 있다.
- <72> 상기 콘택 홀(132) 내에 티타늄(Ti)/질화티타늄(TiN) 막을 증착하기 전에 콘택 홀(132)에 남아있는 산화막(134) 또는 불순물은 제거되어야 하며, 이와 같은 불순물을 제거하는 과정을 예비 클리닝(pre-cleaning)이라 한다.
- <73> 도 7은 본 발명에 따른 클리닝 장치를 설명하기 위한 단면도이며, 도 8은 본 발명에 따른 고주파(RF) 에칭을 설명하기 위한 부분 확대 단면도이다. 도 9는 본 발명에 따른 클리닝 방법을 설명하기 위한 흐름도이다.
- <74> 도 7을 참조하면, 본 발명에 따른 클리닝 장치(200)는, 처리 챔버(210)를 제공하는 하우징(205), 반도체 기판(도시되지 않음)의 상부에 배치되어 플라즈마를 형성하는 ICP(Inductively Coupled Plasma) 장치(220), 기판의 하부에 배치되는 RF 바이어스 장치(230), 처리 챔버(210) 내에 진공을 형성하는 펌프(240), 기판이 배치되는 석영 마

스크(quartz mask)(275), 그리고 석영 마스크(275)의 상부를 덮어 처리 공간을 형성하는 석영 벨자(quartz belljar)(270)를 포함한다.

<75> 상기 석영 마스크(275) 및 석영 벨자(270)는 처리 챔버(210) 내에 처리 공간을 형성하며, 석영 마스크(275)가 제공하는 스테이지 상에 반도체 기판(10)이 놓여진다.

<76> 또한, 처리 챔버(210)에 아르곤(Ar) 및 수소(H₂)를 공급하기 위한 공급관들이 각각 클리닝 장치(200)에 연결된다. 각 공급관은 아르곤 공급 소오스(254) 및 수소 공급 소오스(256)에 연결되며, 각 공급관에는 제1 및 제2 유량 제어기(massflow controller: MFC)(250, 252)가 장착된다. 제1 유량 제어기(250)와 아르곤(Ar) 공급원(254) 사이에는 제1 밸브(261)가 장착되며, 제1 유량 제어기(250)와 장치(200) 사이에는 제2 밸브(262)가 장착된다. 또한, 제2 유량 제어기(252)와 수소(H₂) 공급원(256) 사이에는 제3 밸브(263)가 장착되며, 제2 유량 제어기(252)와 장치(200) 사이에는 제4 밸브(264)가 장착된다.

<77> 도 8은 본 발명에 따른 클리닝 방법을 설명하기 위한 흐름도이며, 도 9는 본 발명에 따른 제1 고주파(RF) 에칭을 설명하기 위한 부분 확대 단면도이다.

<78> 도 7 내지 도 9를 참조하면, 콘택 홀이 형성된 반도체 기판(10)을 석영 마스크(275) 상에 위치시킨 후(S10), 펌프(240)가 동작하여 처리 챔버(210) 내부에 고진공 상태를 형성한다(S20). 즉, 산화막 또는 불순물을 갖는 반도체 기판을 처리 챔버(210) 내로 이송하여 석영 마스크(275) 및 석영 벨자(270)가 형성하는 처리 공간에 위치시킨 후, 펌프(240)를 작동시켜 처리 챔버(210) 내부의 기체를 뽑아낸다.

- <79> 처리 챔버(210) 내부가 고진공으로 유지된 상태에서, 각 기체 성분의 유입량을 조절하면서 제1 및 제2 유량 제어기(250, 252)를 통해 처리 챔버(210) 내로 아르곤 및 수소가 유입된다. 아르곤 및 수소가 혼합되어 형성된 제1 혼합가스는 처리 챔버(210) 내로 도입된다(S30). 이 때 제1 혼합 가스의 혼합비 및 유입량은 제1 및 제2 유량 제어기(250, 252)에 의해서 제어된다.
- <80> 본 발명에 따르면, 아르곤의 유입량 대비 수소의 유입량은 약 0.8 ~1.2인 것이 바람직하며, 본 실시예에서는 아르곤 및 수소가 각각 약 5sccm(standard cubic-centimeters per minute)씩 약 1:1의 비율로 유입된다. 그러나, 본 발명에 따른 혼합가스의 혼합비 내지 각 기체 성분의 유입량은 처리 챔버(210)나 반도체 기판의 상태 및 공정 조건에 따라 변화될 수 있다.
- <81> 상기 ICP 장치(220) 및 바이어스 장치(230)의 동작에 의해 제1 혼합가스가 활성화되어 플라즈마가 형성되고, 제1 혼합가스의 플라즈마가 반도체 기판 상에 존재하는 산화막 또는 불순물과 반응하면서 제1 고주파(RF) 에칭 공정을 수행한다(S40).
- <82> 도 9에서 도시된 바와 같이, 제1 고주파(RF) 에칭 공정이 진행되는 동안 아르곤에 의한 에칭이 수행되는 동시에 수소에 의한 화학 반응이 동시에 진행된다.
- <83> 제1 고주파 에칭 공정이 진행되면서 처리 챔버(210) 내의 처리 공간은 약 450℃ ~ 550℃ 정도의 온도로 유지되며, 이에 따라 수소와 다른 물질과의 화학 반응이 진행된다. 수소는 실리콘(Si) 및 실리콘 옥사이드(SiO_2)와 반응하여 사수소화 실리콘(SiH_4) 및 수증기(H_2O)의 형태로 제거되는 동시에, 금속 실리사이드 층(120)을 구성하는 코발트(Co)는 수소와 반응하여 수소화 코발트(CoH_x)의 형태로 침적되어 반도체 기판 상에 남아 있게 된다. 상술한 바와 같이, 아르곤 및 수소를 포함하는 혼합가스에 의한 고주파(RF) 에

칭은 $\text{Si} + 4\text{H}^+ \rightarrow \text{SiH}_4(\uparrow)$, $\text{SiO}_2 + 8\text{H}_2^+ \rightarrow \text{SiH}_4(\uparrow) + 2\text{H}_2\text{O}(\uparrow)$ 및 $\text{Co} + x\text{H} \rightarrow \text{CoH}_x(\downarrow)$ 의 반응식에 따라 진행된다.

<84> 소정의 시간이 경과한 다음, ICP 장치(220) 및 바이어스 장치(230)의 동작이 중지되면서 제1 고주파 에칭 공정이 종료된다.

<85> 제1 고주파 에칭 공정 후 제1 및 제3 밸브(261, 263)가 닫히게 되고, 펌프(240)가 작동하여 처리 챔버(210) 및 유량 제어기(250, 252)에 남아 있는 가스를 모두 배출한다(S50).

<86> 이어서, 반도체 기판(10)은 처리 챔버(210)로부터 제거된 다음, 후속하는 반도체 제조 공정을 위해 이송된다(S60). 상기 처리 챔버(210)로부터 기판이 제거된 후, 펌프(240)가 동작하여 처리 챔버(210) 내에 진공을 형성한다(S70).

<87> 제1 유량 제어기(250)가 작동되고 제1 밸브(261) 및 제2 밸브(262)가 열리면서 아르곤으로 구성된 제2 혼합가스가 처리 챔버(210) 내로 도입된다(S80). 이 경우, 제3 밸브 또는 제 4 밸브(263, 264)는 닫혀 있어, 수소는 처리 챔버(210) 내로 도입되지 않는다.

<88> 제2 혼합가스가 도입된 후, 고주파(RF) 에너지가 제공되면서 아르곤에 의한 플라즈마가 형성되고, 아르곤 플라즈마를 이용한 제2 고주파 에칭 공정이 진행된다(S90).

<89> 전술한 제1 고주파 에칭 공정이 진행되는 동안 수소는 실리콘(Si), 실리콘 옥사이드(SiO_2) 및 코발트(Co)와 화학 반응을 하는 동시에 수소 라디칼 형태로 석영 벨자(270) 및 석영 마스크(275)와 충돌을 일으켜 처리 챔버(210) 내에 잔존하거나 실리콘 옥사이드(SiO_2) 성분과 반응하여 새로운 결합물을 생성한다. 이 새로운 결합물은 제1 고

주파 에칭 공정 후 처리 챔버(210) 내의 가스를 배출하여도 석영 벨자(270) 및 석영 마스크(275)에 잔존할 가능성이 크다.

<90> 처리 챔버(210) 내에 잔존하는 수소 및 석영 성분의 결합물은 처리 챔버(210)에 지속적으로 축적되며, 이와 같이 축적된 불순물은 일정 매수 이상의 반도체 기판을 처리한 이후에는 파티클로 나타나게 된다. 파티클은 반도체 기판 상에 형성되는 소자들의 상태를 불량하게 하며, 반도체 제조 공정의 수율을 떨어뜨리는 원인이 된다.

<91> 이러한 문제점을 해결하기 위해, 본 발명에 따른 챔버의 클리닝 방법에 의하면, 반도체 기판이 제거된 처리 챔버 내에 수소를 포함하지 않는 제2 혼합가스를 도입하여 처리 챔버를 에칭하는 제2 고주파 에칭 공정을 수행한다. 제2 고주파 에칭 공정을 완료한 후, 펌프(240)가 동작하여 처리 챔버(210) 내의 내용물이 처리 챔버(210)로부터 제거된다.

<92> 도 10 및 도 11은 본 발명에 따른 챔버의 클리닝 방법을 설명하기 위한 단면도들이다.

<93> 도 10을 참조하면, 예비 클리닝된 기판에서 금속 실리사이드 층(120)은 손상되지 않고 다른 챔버의 처리 공간에 위치된다.

<94> 반도체 기판(10) 상부 및 콘택 홀(132) 내에는 티타늄(Ti) 막 및 질화티타늄(TiN) 막이 순차적으로 형성된다. 상기 티타늄(Ti) 및 질화티타늄(TiN) 막으로 이루어진 금속 배리어(metal barrier) 상에 플라즈마 증대 화학 기상 증착(PECVD) 공정에 의해 텅스텐(W)이 증착되어 텅스텐(W) 플러그(50)를 형성한다.

<95> 도 11을 참조하면, 티타늄(Ti) 및 질화티타늄(TiN) 막 및 텅스텐(W) 플러그를 형성한 후, 화학 기계적 연마(CMP) 또는 에치백(etch back) 공정을 통하여 연마함으로써, 콘택 홀(132)을 매립하는 플러그(50)를 완성한다. 이후의 본 발명에 따른 반도체 소자의 제조 공정은 종래의 경우와 동일하다.

<96> 도 12a는 본 발명에 따른 챔버의 클리닝 방법을 수행한 경우, 웨이퍼 매수에 따른 파티클 증가량(P/C adders)을 나타낸 그래프이며, 도 12b 및 도 12c는 다른 조건에 따른 챔버의 클리닝 방법에 의한 파티클 증가량을 웨이퍼의 매수에 따라 나타낸 그래프이다. 특히, 도 12b 및 도 12c는 각 구간에 따른 조건을 달리하여 웨이퍼 매수에 따른 파티클 증가량을 나타낸 것이다.

<97> 도 12a를 참조하면, 본 발명에 따른 챔버의 클리닝 방법을 수행하는 경우에는 파티클의 증가가 약 10정도로 매우 우수하게 나타났다. 따라서, 도 12b 및 도 12c에 도시한 다른 챔버의 클리닝 방법들에 따른 파티클 증가의 결과와 비교할 때 더욱 현저하게 나타난다.

<98> 도 12a에 나타난 그래프는 아르곤 및 수소로 이루어진 가스의 플라즈마를 이용하여 제1 고주파 에칭 공정을 수행한 후, 본 발명에 따른 제2 고주파 에칭 공정을 수행한 결과를 도시한 그래프이다.

<99> 제1 고주파 에칭 공정에서의 아르곤 및 수소의 유입량은 약 5sccm이었으며, 제1 고주파 에칭 공정 후 ICP 전력을 500W 및 바이어스 전력을 50W로 유지하면서 제2 고주파 에칭 공정을 수행하였다(AFTER-V4 조건).

- <100> 도 12a를 참조하면, 웨이퍼 매수 약 620매, 약 1000매 및 약 1100매 근처에서 파티클 증가량의 현저하게 증가하였다가 감소함을 알 수 있다. 이는 본 발명의 챔버의 클리닝 방법과 무관한 것으로, 본 발명의 효과를 증명하기 위해 종래의 조건으로 챔버의 클리닝 방법을 임의로 수행한 결과이다.
- <101> 도 12b에 나타난 조건의 구체적 사항은 다음과 같다.
- <102> 조건 C1-1에 따르면, 아르곤 및 수소를 포함하는 제1 혼합가스를 이용하여 제1 고주파 에칭 고정을 수행한 후, 제2 고주파 에칭 공정 없이 처리 챔버 및 유량 제어기(MFC)를 펌핑하여 남아있는 기체를 배출하였다.
- <103> 제1 혼합가스를 이용하여 제1 고주파 에칭 공정을 수행할 때 처리 챔버 내의 공정 온도는 약 500℃를 유지하기 때문에 에칭 전에 웨이퍼를 예열하는 것이 일반적이다(heat-up step). 조건 C1-2에 따르면, 에칭 전에 웨이퍼를 예열하는 과정을 생략하여 수소가 주입되어 파티클이 생성되는 형상을 억제하고자 하였으며, 제2 고주파 에칭 공정 없이 처리 챔버 및 유량 제어기(MFC)를 펌핑하여 남아있는 기체를 배출하였다.
- <104> 조건 C1-3에 따르면, 제1 고주파 에칭 공정에서 수소의 유입량을 0sccm으로 하였다. 석영 벨자(quartz belljar) 및 석영 마스크(quartz mask)에 함유된 수소 라디칼(radical)이 있어 수소를 제1 혼합가스에서 제외해도 파티클이 생성되었다.
- <105> 조건 C1-4에 따르면, 제1 고주파 에칭 공정의 공정 온도를 약 500℃에서 약 200℃로 낮추어 진행하였다.

- <106> 조건 C1-5에 따르면, 아르곤 및 수소의 제1 혼합가스를 사용하여 제1 고주파 에칭 공정을 진행하되, 공정 조건을 아르곤만을 사용하여 에칭하는 종래의 조건을 적용하여 진행하였다(Ar Base).
- <107> 조건 C1-6에 따르면, 위 조건 C1-5를 따르고, 조건 C1-2에서와 같이 예열 과정을 생략하였다.
- <108> 조건 C1-7에 따르면, 위 조건 C1-5를 따르고, 예열 과정을 적용하였다.
- <109> 조건 C1-8에 따르면, 아르곤 및 수소의 제1 혼합가스를 사용한 제1 고주파 에칭 공정을 진행한 후, 아르곤을 이용하여 웨이퍼가 위치하는 석영 마스크를 에칭하였다. 석영 마스크를 에칭할 때의 ICP 전력은 500W이고 바이어스 전력은 400W였다(AFTER-V3).
- <110> 조건 C1-9에 따르면, 위 조건 C1-8(AFTER-V3)에서 바이어스 전력을 인가하지 않아 석영 재질에 발생할 수 있는 손상(damage)를 최소화하려 하였다(AFTER-V2).
- <111> 조건 C1-10에 따르면, 아르곤 및 수소의 제1 혼합가스를 사용하여 제1 고주파 에칭 공정을 진행하되, 아르곤만을 사용하여 에칭하는 종래의 조건(Ar Base)을 적용하였으며, 제2 고주파 에칭에서 위 조건 C1-8(AFTER-V3)을 적용하였다.
- <112> 이를 정리하면 다음의 <표 1>과 같다.

<113>

【표 1】

표시	구분	구체적 조건	비고
C1-1	Ar/H ₂ STD	Ar/H ₂ RF 에칭 후 MFC 및 챔버를 10초동안 펌핑	AFTER-V1
C1-2	Heat-up skip	Ar/H ₂ RF 에칭 전 챔버를 500℃로 예열하는 과정을 생략(그외 AFTER-V1과동일)	
C1-3	w/o H ₂	H ₂ 없이 제1 RF 에칭 진행	
C1-4	500->200℃	프로세스 온도를 200℃로 유지	
C1-5	Ar Base	종래의 Ar기준 조건을 적용	
C1-6	Ar+heat-up skip	Ar base 조건에 heat-up skip	
C1-7	Ar+heat-up	Ar base 조건에 heat-up 적용	
C1-8	Quartz etch	Ar/H ₂ RF 에칭 후 식영마스크 에칭 (ICP power:500W/Bias power:400W)	AFTER-V3
C1-9	Quartz no etch	AFTER-V3에서 Bias power:0W	AFTER-V2
C1-10	Ar+Quartz etch	Ar base 조건에 AFTER-V3 적용	

<114> [표 1] 및 도 12b의 결과에 나타난 바와 같이, 조건을 달리하여도 파티클의 증가는 도 12a에 나타난 결과보다 현저하게 높게 나타났다. 즉, 본 발명에 따른 제2 고주파 에칭 공정으로 인해 파티클의 생성이 효과적으로 억제된다는 것을 알 수 있다.

<115> 도 12c에 나타난 실험 조건의 구체적 사항은 다음과 같다.

<116> 조건 C2-1에 따르면, 위 조건 C1-1(AFTER-V1)을 적용하였다.

<117> 조건 C2-2에 따르면, 위 조건 C1-8(AFTER-V3)에서 바이어스 전력을 50W로 낮추고 (AFTER-V4), 제2 고주파 에칭 공정을 약 20초로 설정하였다.

<118> 조건 C2-3에 따르면, 위 조건 C2-2에서 바이어스 전력을 60W로 증가시켜 바이어스 전력에 대한 의존성을 확인하였다.

<119> 조건 C2-4에 따르면, 위 조건 C2-2에서 바이어스 전력을 70W로 증가시켜 바이어스 전력에 대한 의존성을 확인하였다.

- <120> 조건 C2-5에 따르면, 위 조건 C2-2에서 제2 고주파 에칭 공정을 약 40초로 증가하였다.
- <121> 조건 C2-6에 따르면, 위 조건 C2-2에서 제2 고주파 에칭 공정을 약 60초로 증가하였다.
- <122> 조건 C2-7에 따르면, 위 조건 C2-6에서 제2 고주파 에칭 공정을 바이어스 전력을 0W로 설정하였다.
- <123> 조건 C2-8에 따르면, 위 조건 C2-6에서 제2 고주파 에칭 공정을 100초 동안 과도하게 진행하였다.
- <124> 조건 C2-9에 따르면, 위 조건 C2-2(AFTER-V4)에서 처리 챔버 및 유량 제어기(MFC)의 펌핑을 120초 동안 진행하였다.
- <125> 조건 C2-10에 따르면, 위 조건 C2-2(AFTER-V4)에서 제1 고주파 에칭 공정의 공정 온도를 200℃로 하였다.
- <126> 이를 정리하면 다음의 <표 2>와 같다.
- <127>

【표 2】

표시	구분	구체적 조건	비고
C2-1	After-V1	제1과정 적용	
C2-2	After-V4 B50W T=20	제3과정에서 Bias power=50W(제4과정) etch time=20초	
C2-3	V4, B60W, T=20	제4과정에서 Bias power=60W	
C2-4	V4, B70W, T=20	제4과정에서 Bias power=70W	
C2-5	V4, B50W, T=40	제4과정에서 each time=40초	
C2-6	V4, B60W, T=60	제4과정에서 etch time=60초(제5과정)	
C2-7	V4, B0W, T=60	제5과정에서 Bias power=0W	
C2-8	V4, B50W, T=100	제5과정에서 etch time=100초	
C2-9	V4, B50W, T=60, vac= 120	제4과정에서 pumping time=120초	
C2-10	V4, B50W, T=60, temp =200℃	제4과정에서 온도를 200℃ 유지	

<128> 【표 2】 및 도 12c의 결과에 나타난 바와 같이, 조건을 달리하여도 파티클의 증가량은 도 12a에 나타난 결과보다 현저하게 높게 나타났다. 즉, 본 발명에 따른 제2 고주파 에칭 공정을 수행할 경우에는 파티클의 생성이 효과적으로 억제된다는 것을 알 수 있다.

【발명의 효과】

<129> 본 발명에 따르면, 제1 고주파 에칭 공정에서 수소(H₂)를 사용함으로써 금속 실리사이드 층과 산화물 층 간의 에칭 선택비를 향상시킬 수 있어 소오스/드레인 영역의 손상을 최소화하고 예비 클리닝 공정을 용이하게 수행할 수 있다.

<130> 또한, 제2 고주파 에칭 공정에서 수소 없이 에칭 공정을 수행함으로써 챔버 내의 파티클 생성을 억제할 수 있다.

<131> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부

10200-64554

출력 일자: 2002/11/12

터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

처리 챔버 내에서 수소(H_2)를 포함하는 제1 혼합가스의 플라즈마를 이용하여 반도체 기판 상의 불순물을 에칭하는 단계;

상기 처리 챔버로부터 상기 반도체 기판을 제거하는 단계; 및

상기 처리 챔버를 비수소계 제2 혼합가스의 플라즈마를 이용하여 에칭하는 단계를 포함하는 챔버의 클리닝 방법.

【청구항 2】

제1항에 있어서, 상기 처리 챔버의 내벽은 실리콘 옥사이드(SiO_2)로 이루어진 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 3】

제1항에 있어서, 상기 제1 혼합가스는 상기 제2 혼합가스 및 수소(H_2)를 포함하는 혼합가스와 동일한 성분으로 구성된 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 4】

제3항에 있어서, 상기 제2 혼합가스는 아르곤을 포함하는 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 5】

제4항에 있어서, 상기 제1 혼합가스에서 상기 아르곤 유입량 대비 상기 수소의 유입량은 0.8 ~ 1.2인 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 6】

제1항에 있어서, 상기 제1 혼합가스의 플라즈마를 이용하여 상기 반도체 기판 상의 불순물을 에칭하는 단계에서 상기 처리 챔버 내의 온도는 $450^{\circ}\text{C} \sim 550^{\circ}\text{C}$ 인 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 7】

처리 챔버 내부의 스테이지 상에 반도체 기판을 위치시키는 단계;

상기 처리 챔버 내부를 진공으로 하는 단계;

상기 처리 챔버에 아르곤(Ar) 및 수소(H_2)를 포함하는 제1 혼합가스를 도입하는 단계;

상기 제1 혼합가스의 플라즈마를 이용하여 상기 반도체 기판 상의 불순물을 에칭하는 단계;

상기 처리 챔버 내부의 기체를 배출하는 단계;

상기 처리 챔버에서 상기 반도체 기판을 제거하는 단계;

상기 처리 챔버 내부를 진공으로 하는 단계;

상기 처리 챔버에 아르곤을 포함하는 비수소계 제2 혼합가스를 도입하는 단계; 및

상기 제2 혼합가스의 플라즈마를 이용하여 상기 처리 챔버 내부를 에칭하는 단계를 포함하는 챔버의 클리닝 방법.

【청구항 8】

제7항에 있어서, 상기 반도체 기판은 상기 스테이지 및 벨자(belljar)로 구성되는 처리 공간에 위치하며, 상기 스테이지 및 상기 벨자 중 적어도 하나는 실리콘 옥사이드로 이루어진 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 9】

제7항에 있어서, 상기 제1 혼합가스의 플라즈마를 이용하여 상기 반도체 기판 상의 불순물을 에칭하는 단계에서 상기 처리 챔버의 온도는 $450^{\circ}\text{C} \sim 550^{\circ}\text{C}$ 인 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 10】

제7항에 있어서, 상기 제2 혼합가스는 아르곤으로 구성되며, 상기 제1 혼합가스는 아르곤 및 수소로 구성된 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 11】

제10항에 있어서, 상기 제1 혼합가스에서 상기 아르곤 유입량 대비 상기 수소의 유입량은 $0.8 \sim 1.2$ 인 것을 특징으로 하는 챔버의 클리닝 방법.

【청구항 12】

반도체 기판을 처리 챔버 내에 위치시키는 단계;

상기 처리 챔버 내에서 수소(H_2)를 포함하는 제1 혼합가스의 플라즈마를 이용하여 상기 반도체 기판 상의 불순물을 에칭하는 단계;

상기 처리 챔버로부터 상기 기판을 제거하는 단계; 및

상기 처리 챔버를 비수소계 제2 혼합가스의 플라즈마를 이용하여 에칭하는 단계를 포함하는 반도체 소자 제조 방법.

【청구항 13】

제12항에 있어서, 상기 제1 혼합가스는 상기 제2 혼합가스 및 수소(H_2)를 포함하는 혼합가스와 동일한 성분으로 구성된 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 14】

제13항에 있어서, 상기 제2 혼합가스는 아르곤을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 15】

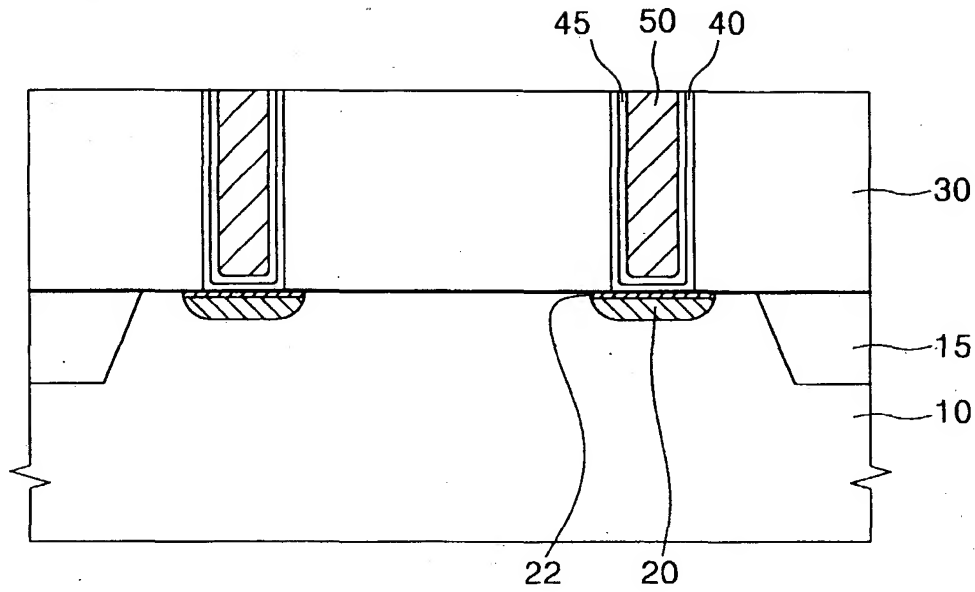
제14항에 있어서, 상기 제1 혼합가스에서 상기 아르곤 유입량 대비 상기 수소의 유입량은 0.8 ~ 1.2인 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 16】

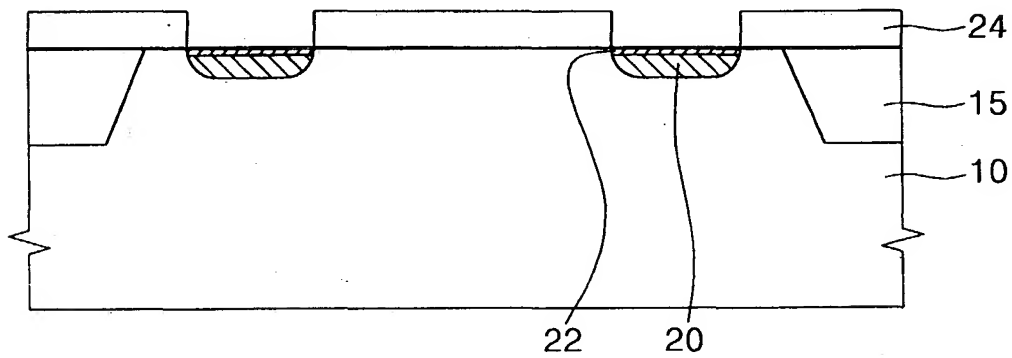
제12항에 있어서, 상기 제1 혼합가스의 플라즈마를 이용하여 상기 반도체 기판 상의 불순물을 에칭하는 단계에서 상기 처리 챔버 내의 온도는 $450^{\circ}C$ ~ $550^{\circ}C$ 인 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

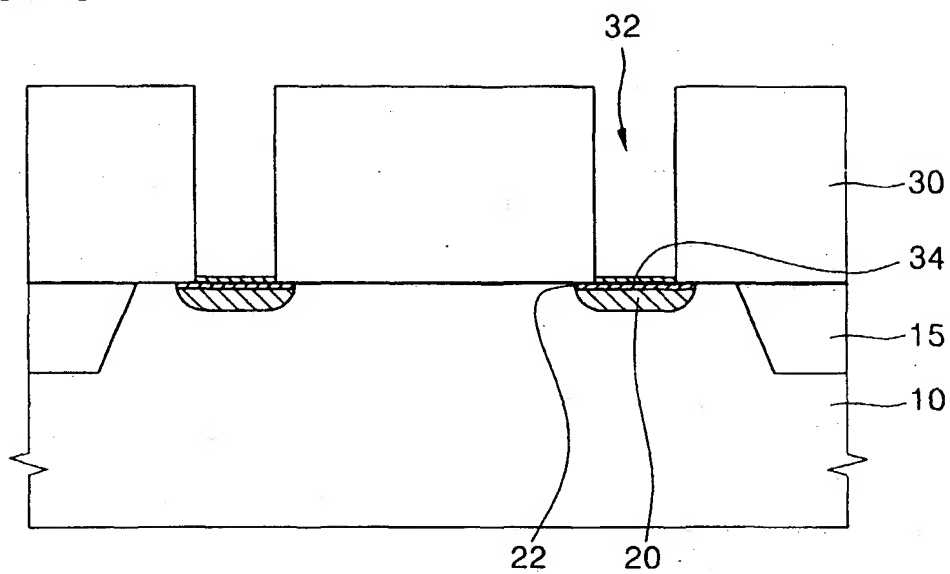
【도 1】



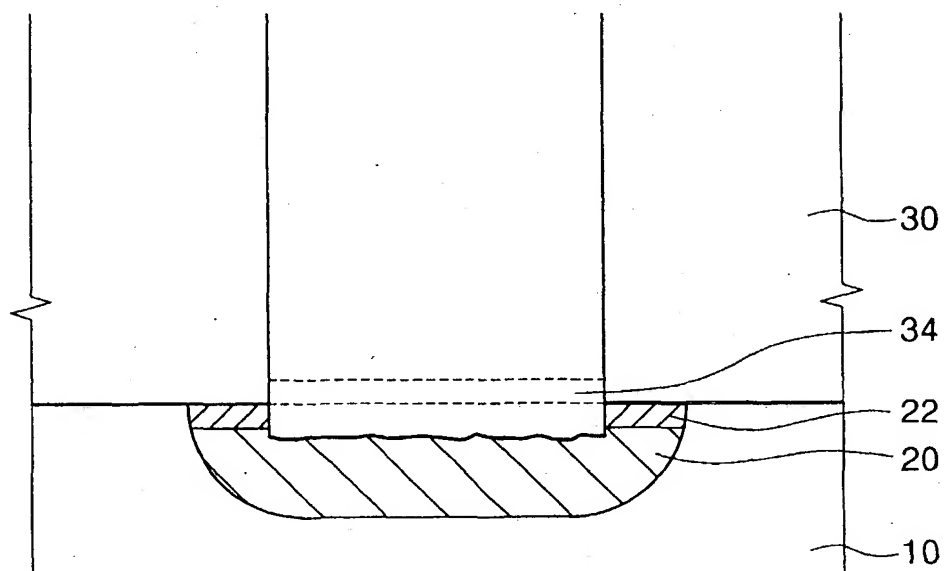
【도 2】



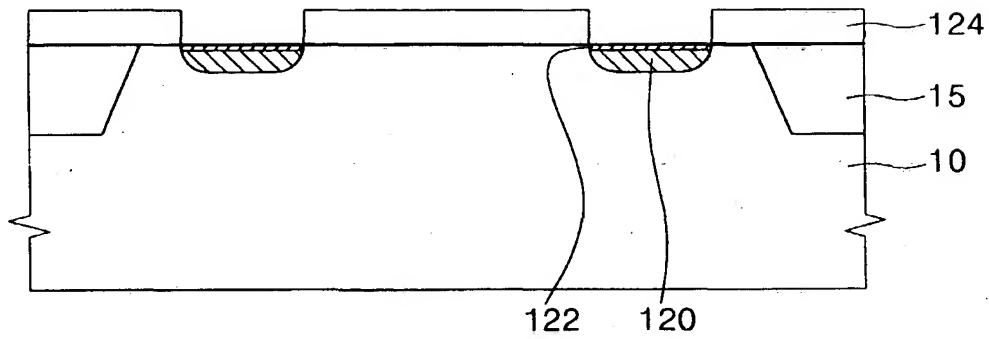
【도 3】



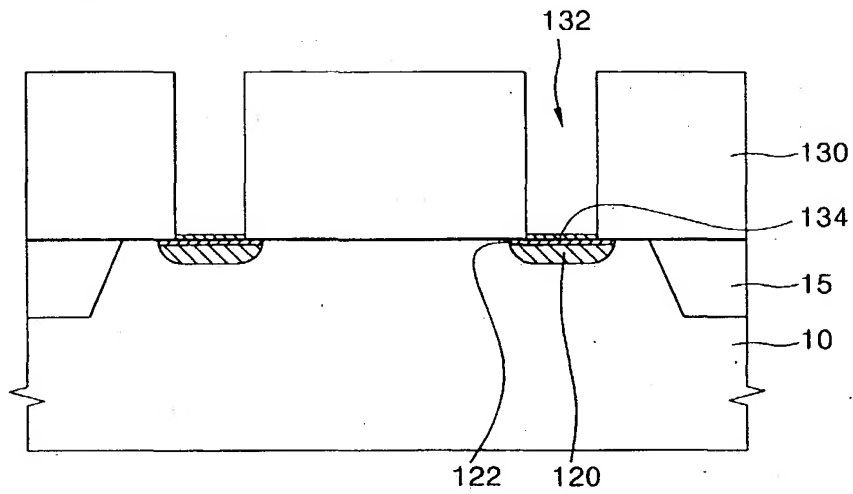
【도 4】



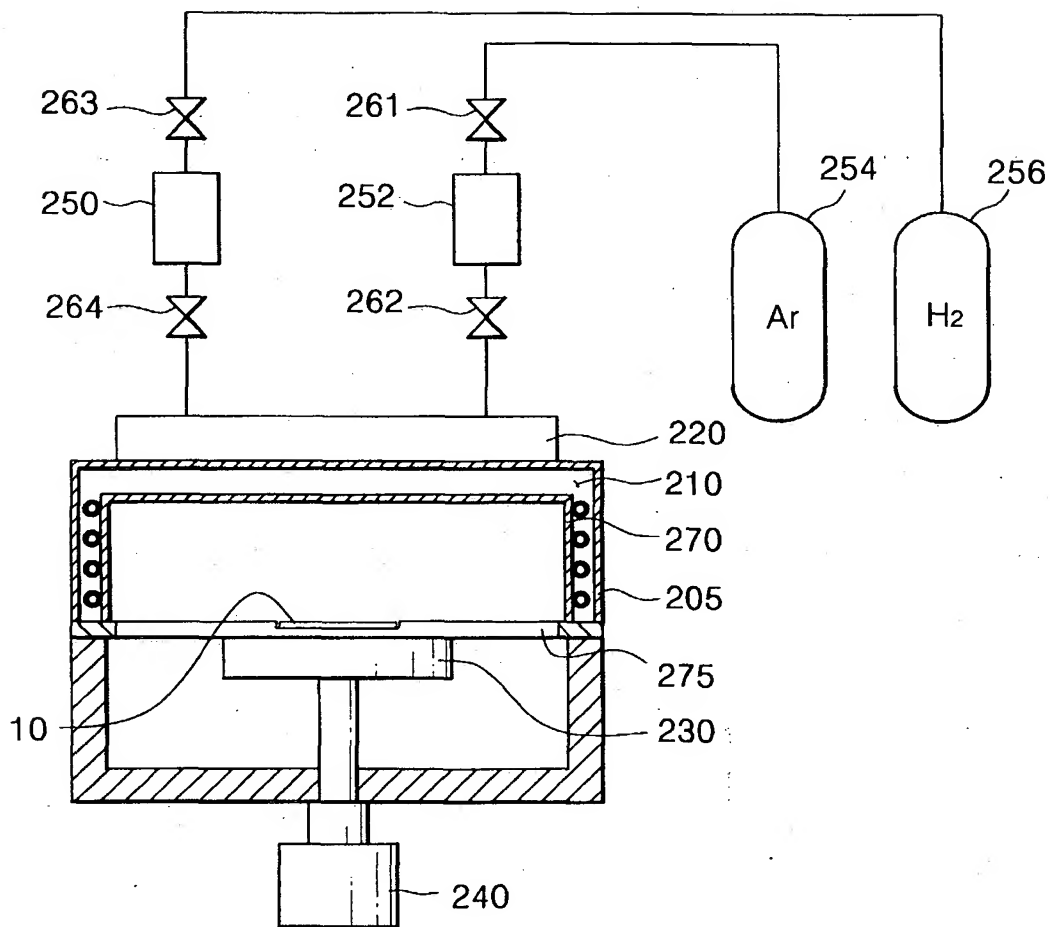
【도 5】



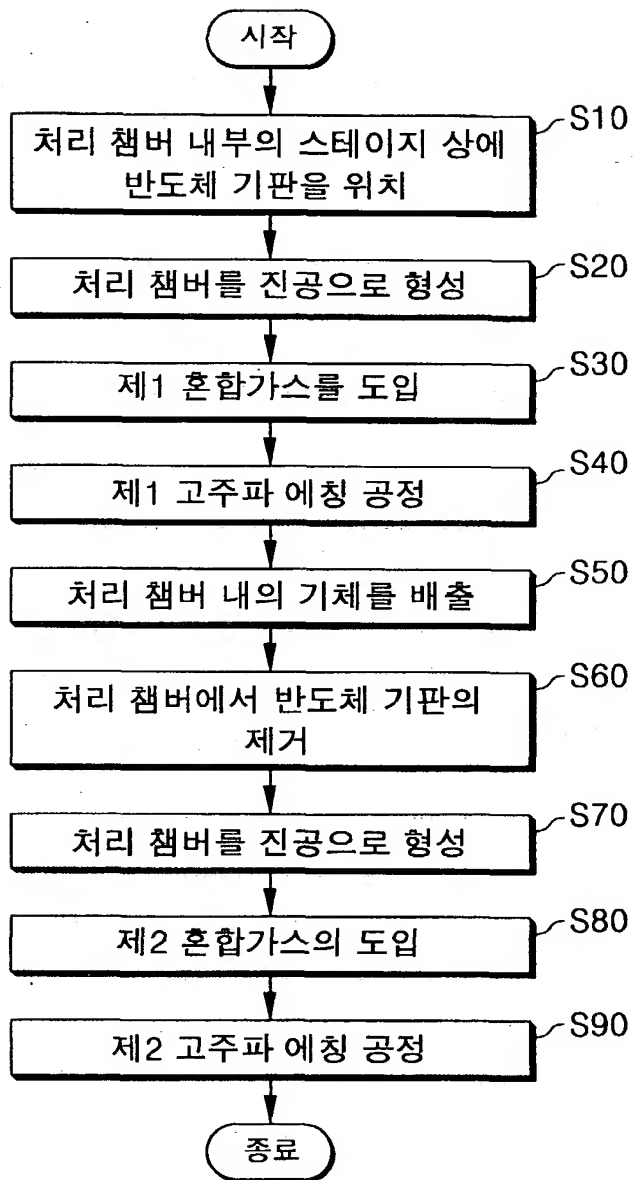
【도 6】



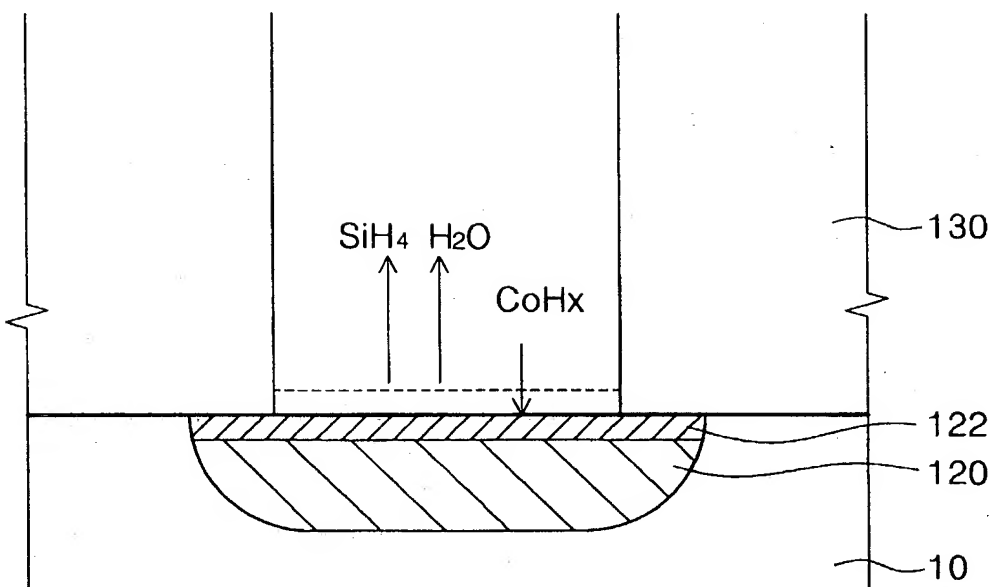
【도 7】



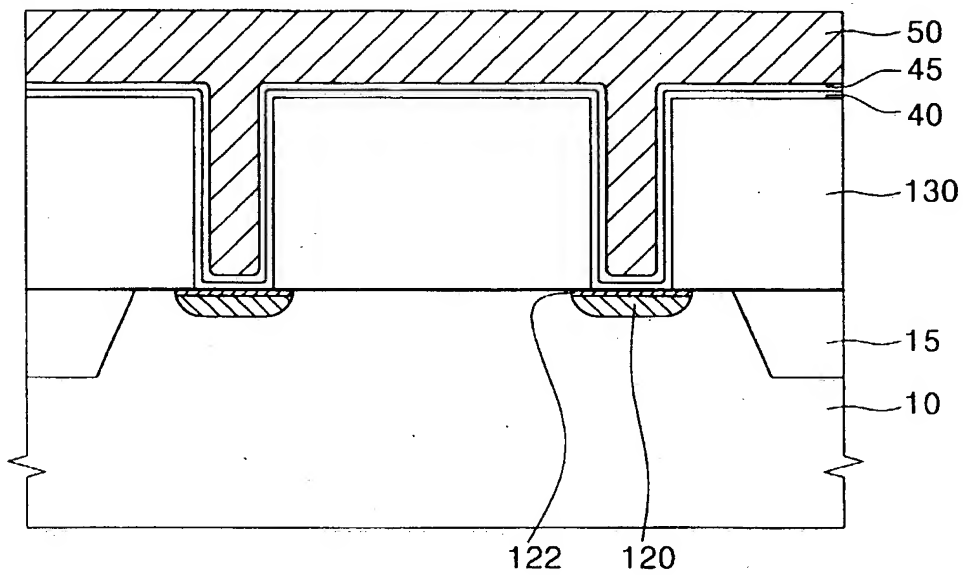
【도 8】



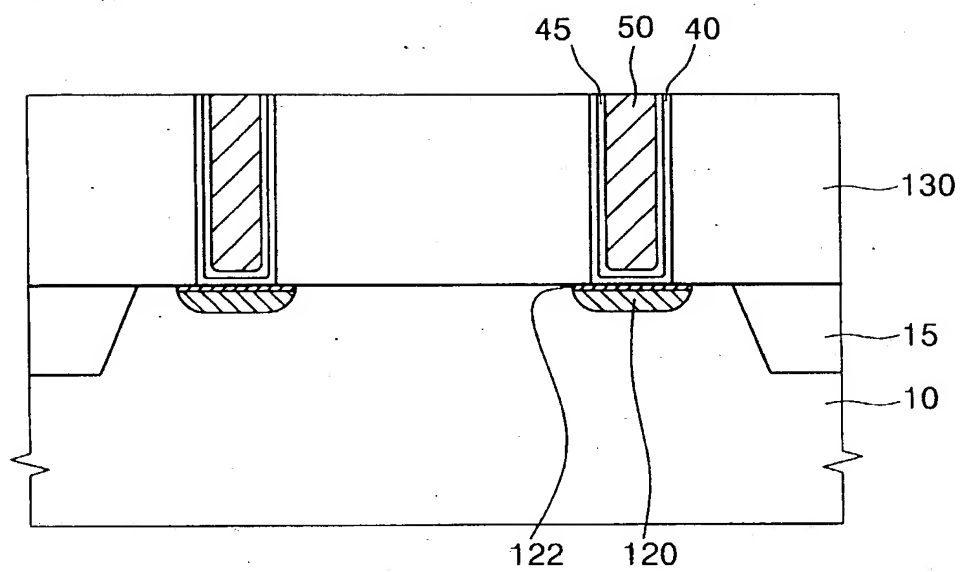
【도 9】



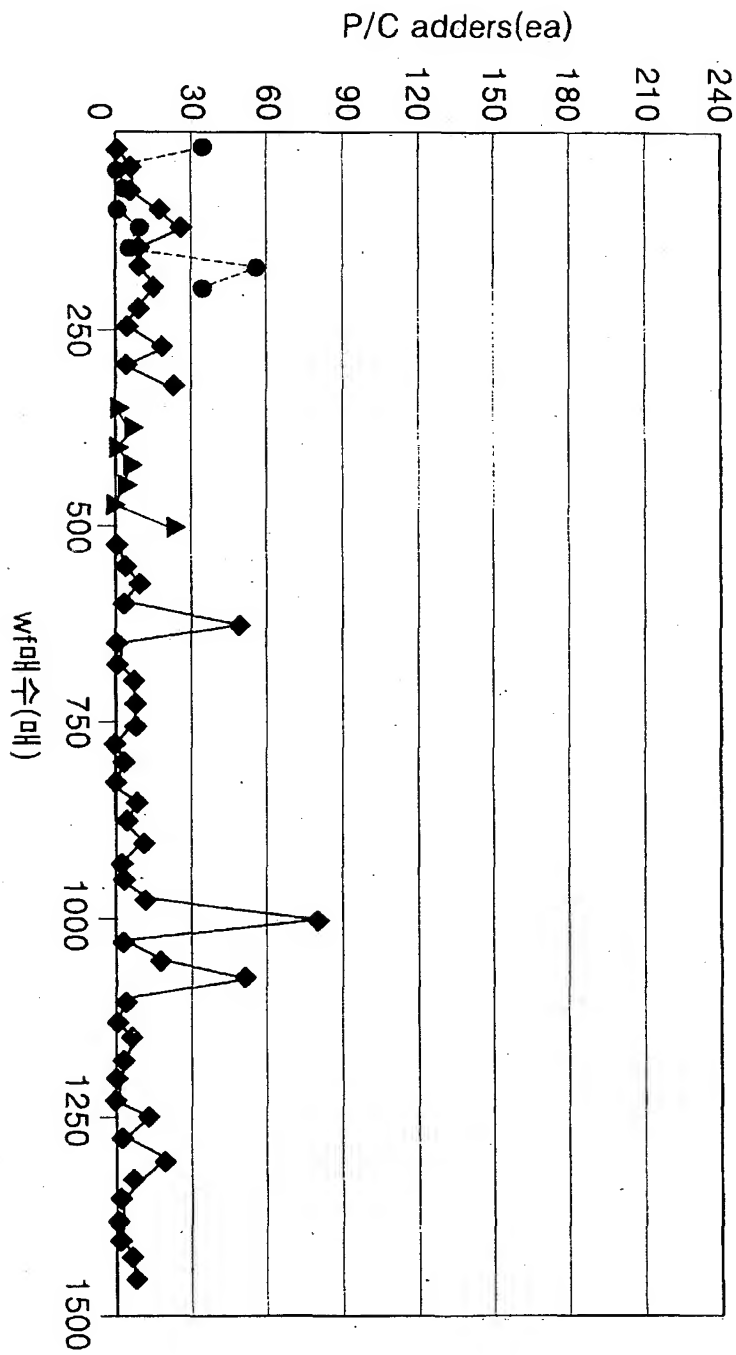
【도 10】



【도 11】

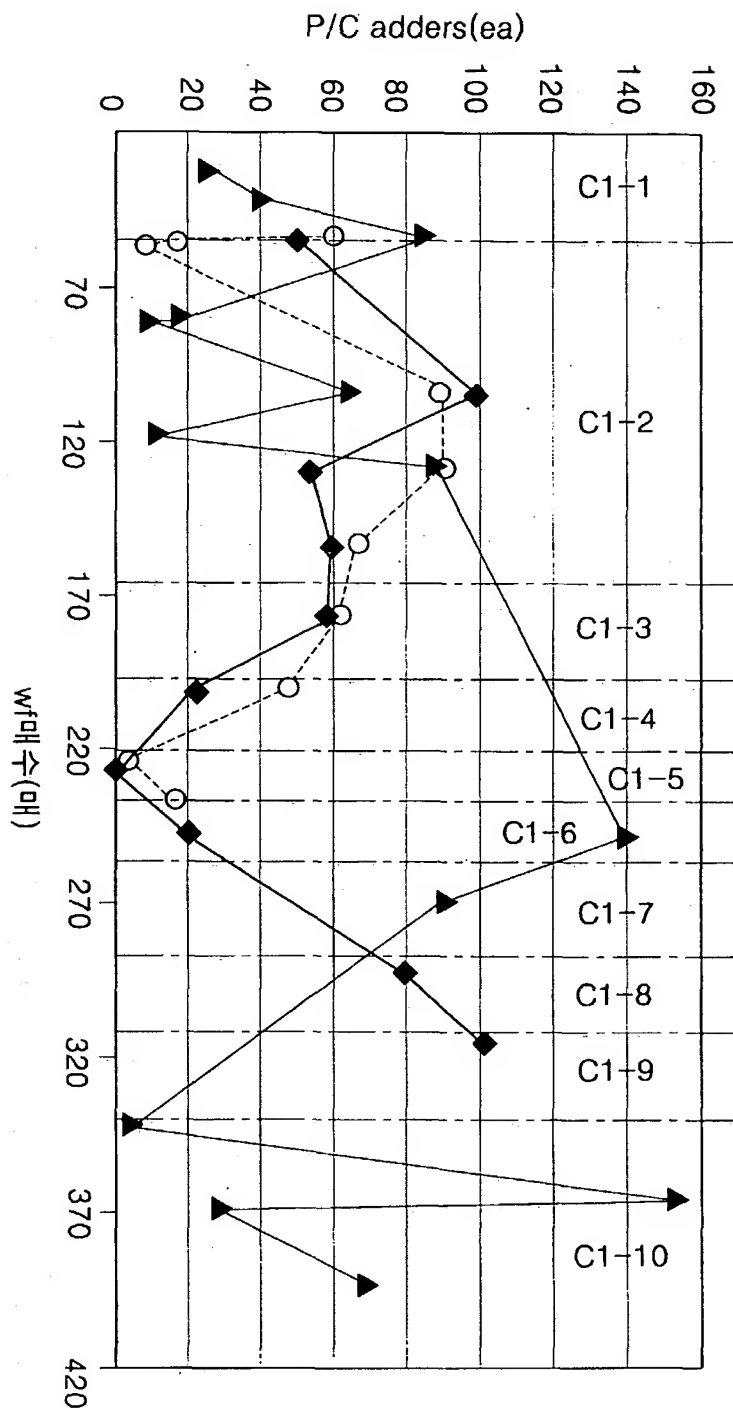


【도 12a】



H2 5sccm / AFTER-V4 적용 후

【도 12b】



H2 5scm / AFTER-V4 적용 전(1)

【도 12c】

